



US006185211B1

(12) **United States Patent**
Nagatomo et al.

(10) **Patent No.:** **US 6,185,211 B1**
(45) **Date of Patent:** **Feb. 6, 2001**

(54) **ATM CELL EXCHANGE**

FOREIGN PATENT DOCUMENTS

(75) Inventors: **Kenichi Nagatomo; Masami Hagio,**
both of Tokyo (JP)

6-253347 9/1994 (JP).

(73) Assignee: **Oki Electric Industry Co., Ltd., Tokyo**
(JP)

OTHER PUBLICATIONS

Abstract: "A 160 Gbit/s ATM Switch Using Dynamic Link Speed Controlled Switch Architecture", Yukihiro Doi, et al.; Tokyo, Japan, Oct., 1993.

(*) Notice: Under 35 U.S.C. 154(b), the term of this patent shall be extended for 0 days.

Abstract: "High-Speed ATM Switching Technologies"; Naoaki Yamanaka, et al.; 1996; pp. 839-845.

* cited by examiner

(21) Appl. No.: **08/991,189**

(22) Filed: **Dec. 16, 1997**

(30) **Foreign Application Priority Data**

May 21, 1997 (JP) 9-130970

(51) **Int. Cl.⁷** **H04L 12/28; H04L 12/54;**
..... **H04L 12/56**

(52) **U.S. Cl.** **370/395; 370/418; 370/429**

(58) **Field of Search** **370/414, 416,**
..... **370/418, 428, 389, 394, 395, 542, 429;**
..... **340/825.5, 825.8, 825.79**

(56) **References Cited**

U.S. PATENT DOCUMENTS

5,157,654 * 10/1992 Cisneros 370/60
5,367,520 * 11/1994 Cordell 370/60
5,550,823 * 8/1996 Irie et al. 370/60.1
5,856,977 * 1/1999 Yang et al. 370/411

Primary Examiner—Alpus H. Hsu

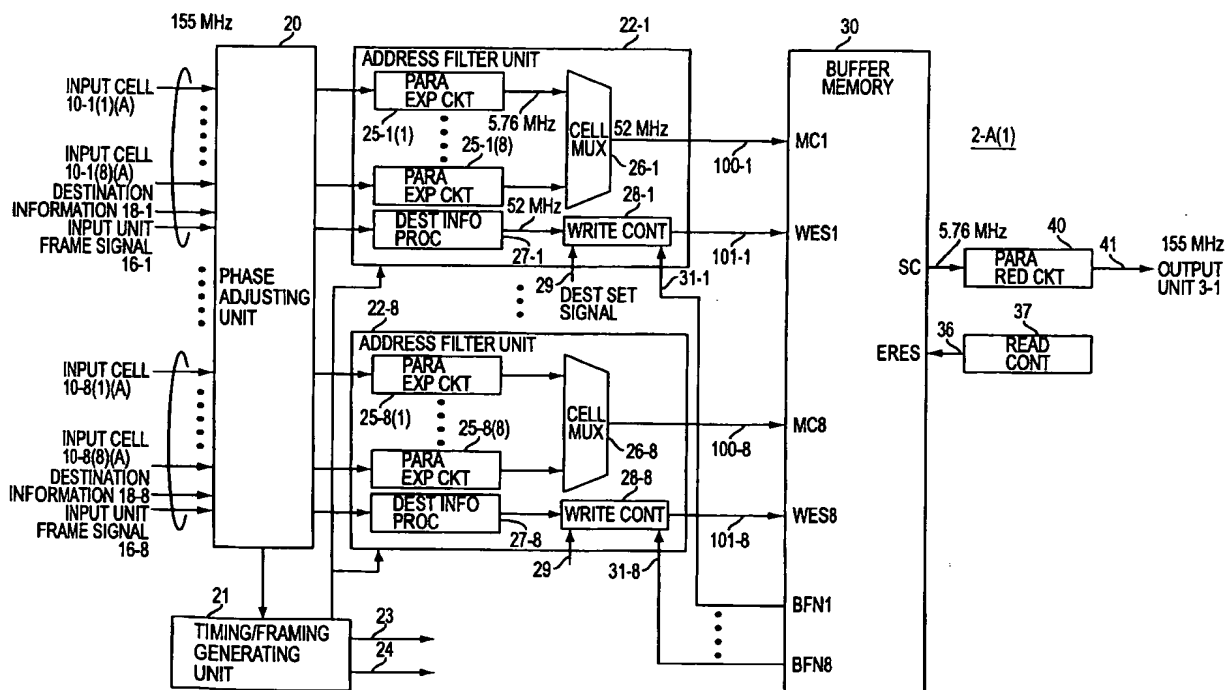
Assistant Examiner—Duc Ho




(74) *Attorney, Agent, or Firm*—Venable; Robert J. Frank;
Allen Wood

(57) **ABSTRACT**

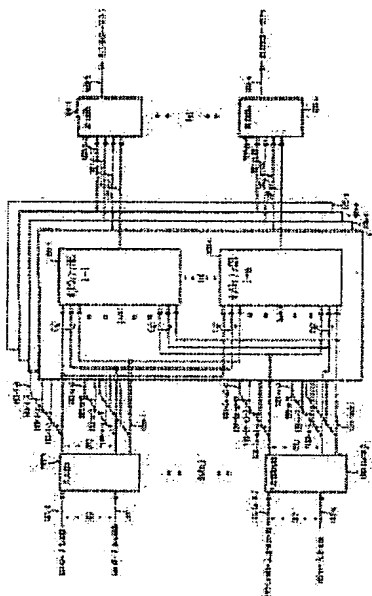
To realize an ATM cell switch capable of reducing the transmission rate of cells to be transmitted, a output buffer-type ATM cell switch includes input units buffer unit, and output units, wherein the buffer units reduce the transmission rate of the cells. Furthermore, the ATM switch compares the destinations of the cells with destination set signals that are provided to address filter units in the buffer units, and controls the transfer of cells to the buffer memories in the buffer units, thereby efficiently reducing the transmission rate of cells.

16 Claims, 13 Drawing Sheets



ATM CELL EXCHANGE DEVICE**Publication number:** JP10322357 (A)**Publication date:** 1998-12-04**Inventor(s):** NAGATOMO KENICHI; HAGIO MASAMI**Applicant(s):** OKI ELECTRIC IND CO LTD**Classification:****- international:** H04Q3/00; H04L12/56; H04Q11/04; H04Q3/00; H04L12/56;
H04Q11/04; (IPC1-7): H04L12/28; H04Q3/00**- European:** H04L12/56S5**Application number:** JP19970130970 19970521**Priority number(s):** JP19970130970 19970521**Also published as:** JP3434671 (B2) US6185211 (B1) SG88738 (A1)**Abstract of JP 10322357 (A)**

PROBLEM TO BE SOLVED: To eliminate the need of preparing one wiring for each line and to reduce the number of wirings required for the transmission of address information compared to the number of storage lines by extracting address information from ATM cells transmitted through the respective lines and multiplexing and outputting them between the lines. **SOLUTION:** An ATM switch device is constituted of input parts, buffer parts and out put parts. The first to n-th input cells 100-1 to 100-n of the input parts are inputted to the first to n/m-th input parts 102-1 to 102-n/m at every m-lines through n-pieces of input lines 101-1 to 101-n. The buffer parts are provided for buffering the respective line cells which are branched into four in the input parts 102-1 to 102-n/m.; The first to n-th output parts 108-1 to 108-n collect cells inputted from the respective wirings and out put cells from the output lines 109-1 to 109-n as output cells 110-1 to 110-n for the first to n-th lines.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-322357

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

H

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 未請求 請求項の数7 O L (全 25 頁)

(21) 出願番号 特願平9-130970

(22) 出願日 平成9年(1997)5月21日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 長友 健一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 萩尾 正己

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 弁理士 工藤 宣幸

(54) 【発明の名称】 A T Mセル交換装置

(57) 【要約】

【課題】 C M O Sプロセスでありながら高スループットのA T Mセル交換装置を実現する。

【解決手段】 入力部、バッファ部及び出力部の各機能部を1又は複数有する単位スイッチ1段で構成された出力バッファ型のA T Mセル交換装置において、入力部に、各回線を介して入力されるA T Mセルのそれぞれからその宛先情報を抽出する宛先情報抽出手段と、当該抽出された宛先情報を複数回線分多重し出力する宛先情報多重手段を備えるようにする。

【特許請求の範囲】

【請求項1】 入力部、バッファ部及び出力部の各機能部を、それぞれ1又は複数有する単位スイッチ1段で構成された出力バッファ型のATMセル交換装置において、

上記入力部に、各回線を介して入力されるATMセルのそれぞれからその宛先情報を抽出する宛先情報抽出手段と、当該抽出された宛先情報を複数回線分多重し出力する宛先情報多重手段を備えることを特徴とするATMセル交換装置。

【請求項2】 入力部、バッファ部及び出力部の各機能部を、それぞれ1又は複数有する単位スイッチ1段で構成された出力バッファ型のATMセル交換装置において、

上記バッファ部に、各回線についてのATMセルをパラレル展開し出力するパラレル展開手段と、パラレル展開後のATMセルを複数回線分多重して出力するATMセル多重手段を備えることを特徴とするATMセル交換装置。

【請求項3】 請求項2に記載のATMセル交換装置において、

上記バッファ部に、多重出力される各ATMセルについての書込許可信号を、当該ATMセルの宛先情報に基づいて生成し上記出力部へ出力する書込制御手段を備えることを特徴とするATMセル交換装置。

【請求項4】 入力部、バッファ部及び出力部の各機能部を、それぞれ1又は複数有する単位スイッチ1段で構成された出力バッファ型のATMセル交換装置において、

上記バッファ部の出力段に、1又は複数の回線に対応する複数個の先入先出型記憶手段と、当該複数個の先入先出型記憶手段より順番にATMセルを読み出して出力する選択手段を備えることを特徴とするATMセル交換装置。

【請求項5】 請求項4に記載のATMセル交換装置において、

上記バッファ部は、上記先入先出型記憶手段に対するATMセルの書き込み、読み出し、廃棄を個別に制御することを特徴とするATMセル交換装置。

【請求項6】 入力部、バッファ部及び出力部の各機能部を、それぞれ1又は複数有する単位スイッチ1段で構成された出力バッファ型のATMセル交換装置において、

上記各機能部の入力段に、配線間の位相差を取り除く位相整合手段を備えることを特徴とするATMセル交換装置。

【請求項7】 請求項1に記載の入力部と、請求項2～5のいずれかに記載のバッファ部と、出力部とをそれぞれ1又は複数有する単位スイッチ1段で構成された出力バッファ型のATMセル交換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM (Asynchronous Transfer Mode: 非同期転送モード) セルを交換する機能を備える各種装置に関するものである。

【0002】

【従来の技術】

文献(1): 「高速ATM交換システムの技術開発」

10 NTT R&D Vol. 95 No. 10 pp839～846

文献(2): 「可変リンク速度スイッチを用いた160 Gbit/s ATMスイッチの構成法」

SSE93-69, IN93-76, CS93-92

(1993-10)

ATMスイッチ装置は、セルと呼ばれる固定長のバケットを交換するために、セルを一時蓄積するためのバッファメモリを必要とする。セルバッファの配備位置ならびに配備数により、これまで様々なスイッチ構成方法が考案されている。

【0003】なお、スイッチ方式は、上記文献(1)及び(2)に詳しいので説明は省略するが、説明に必要であれば、その都度説明する。

【0004】スイッチ構成方式の一例として、出力バッファ型ATMスイッチ装置の従来技術について説明する。

【0005】 $n \times n$ (n : 回線数) の出力バッファ型スイッチの概略を図2(A)に示す。

【0006】第1～第 n 入力セル200-1～200- n は、第1～第 n 入力セル処理部202-1～200- n にそれぞれ入力される。第1～第 n 入力セル処理部200-1～200- n は、それぞれ、第1～第 n 入力回線201-1～201-2を介して入力される入力セル1～ n 間の位相を合わせる機能と、各入力セル201-1～200- n をビット展開し回線203-1～203- n に出力する機能とを有している。

【0007】一般に、出力バッファ型スイッチは、セル多重部204において、第1～第 n 入力セルを時分割多重し、これを共通バス205を介して第1～第 n 出力バッファ部206-1～206- n のそれぞれに入力する構成をとる。

【0008】出力バッファ部207-1～207- n の詳細構成を図2(B)に示す。出力バッファ部は、宛先参照部210とバッファメモリ211とから構成される。宛先参照部210は、 n 多重されて伝送される共通バス信号から自バッファ宛のセルを識別し、当該セルをバッファメモリ211に書き込む機能を有する。自バッファ宛セル以外のセルに対しては書き込み動作を行わない。従って、セルバッファメモリには、自バッファ宛のセルのみが、常時、蓄積されることになる。

【0009】ITU-T勧告やATMフォーラムで規定されるセルフォーマットは53バイトであるが、ATMスイッチ装置内では、出力回線の宛先（出力バッファメモリの宛先）を特定するための宛先情報1バイトを53バイトセルの先頭に付加し、54バイトのセルフォーマットで交換される方式が一般的である。これは、スイッチの構成方法に関わらず一般的な方法である。図2の従来例の場合でも、入力回線201-1～200-nに入力されるセル200-1～200-nは、54バイトセルである。

【0010】54バイトセルのセルフォーマット例を図3に示す。ここで、図3（A）において符号300で示すフォーマットは、ITU-T勧告やATMフォーラムで規定されている53バイト・セルフォーマットであるので説明は省略する。

【0011】一方、図3（B）において符号301で示すフォーマットが、54バイト・セルのセルフォーマットの一例である。ここで、54バイト・セルフォーマットは、符号300で示したフォーマットに対して、宛先情報バイト302を付加したものである。

【0012】54バイトセルは、53バイトセルに比べ宛先情報バイトの分だけセル長が長くなるので、出力バッファ部206-1～206-nのバッファメモリ211に蓄積される最大セル数が同じ場合、より大きいメモリ容量が必要となる。また、単位セルあたりのスループットが大きくなるため、セル長を変換する際に速度変換用のメモリが必要となる。それらを回避するために、セルに宛先バイトを付加するのではなく、セル情報のデータ線とは別に、宛先情報専用のデータ線を設ける方式も提案されている。

【0013】

【発明が解決しようとする課題】ところで、通信のマルチメディア化に伴い、高速かつ大規模のATMスイッチ装置が必要となっている。特に、今日では、音声通信に加え、データ、画像通信等メディアも多様化しており、単一のメディアが扱う情報量も数M～数百Mbpsと大容量化している。

【0014】一般に、マルチメディア化に対応するために必要なATMスイッチ装置の交換容量は、21世紀の初頭には百Gbpsクラスであるといわれており、回線規模についても増大する必要がある。一方、従来、商用化されているATM交換機におけるATMスイッチの交換容量は、10Gbps～20Gbpsである。また、回線規模は8×8～16×16である。

【0015】そこで、一層の大規模化が要求されるが、かかるATMスイッチ装置の大規模化、大容量化の手段の一つに、文献（1）及び（2）に示されるいずれかの方式により10Gbps～20Gbpsの単位スイッチを構成し、それを多段に接続する方法が考えられる。その一例として、3段構成のATMスイッチ装置を図4に

示す。

【0016】図4に示すATMスイッチ装置の場合、1段目は4台の単位スイッチSW1～4により、2段目は4台の単位スイッチSW5～8により、3段目は4台の単位スイッチSW9～12により構成されている。

【0017】ここで、1段目を構成する単位スイッチSW1、2、…、4のそれぞれには、m本の入力回線400-1～400-m、401-1～401-m、…、403-1～403-mが接続されてなる。一方、3段目を構成する単位スイッチSW9～12のそれぞれには、m本の出力回線404-1～404-m、405-1～405-m、…、407-1～407-mがそれぞれ接続されてなる。また、2段目を構成する単位スイッチSW5～12のそれぞれは、1段目側及び3段目側の各単位スイッチと、入力側及び出力側それぞれ2回線づつで接続されている。

【0018】しかしながら、図4のように単位スイッチを多段に接続する方法では、以下のような問題があり、ATMスイッチ装置の大規模化及び大容量化を容易に実現し得ない。

【0019】（問題1）単位スイッチ間の接続（以下、これをリンクという。）におけるスループットを、高速化しなければならない。

【0020】例えば、入力回線側の単位スイッチの入力回線のスループットがVであれば、各リンクに要求されるスループットはmVとなる。これは、単位スイッチの入力回線数及びスループットが大きくなるに従い、リンクに要求されるスループット及びリンクの動作周波数が増大することを意味する。これは、次段の単位スイッチのバッファメモリに高速にデータ（セル）を書き込まなければならないことを意味している。

【0021】例えば、単位スイッチの入力回線数のスループットが155.52Mbps、回線数がm=8の場合、リンクのスループットは1.2Gbpsが必要となる。また、リンクのバス幅を8バラレルとすると、その動作周波数は155MHzに達してしまう。

【0022】一般に、ATMスイッチのLSI化では、CMOSプロセスを用いることは高集積化、低消費電力化の点でECLプロセスやBipolarプロセスより有利である。また、製造面やコストの点でも有利である。しかし、汎用のCMOSプロセスで、150MHz以上の動作周波数の大規模回路を製造することは困難である。また、回路設計においても遅延設計やレイアウトにおいて様々な制約が発生し一般的ではない。

【0023】メモリアクセス速度においても制約がある。先の例では、リンクの動作速度は150MHzにも達する。セルはクロックに同期して伝送されるが、150MHzの速度でアクセスでき、かつ大容量のメモリを製造することは困難である。しかも、メモリは動作時に最も電力を消費し、動作周波数が大きければ大きいほど

増大する。CMOSプロセスの代わりにECLプロセスやBipolarプロセスを用いることも考えられるが、メモリ規模を大きく出来ないことと、やはり消費電力の点で現実的ではない。

【0024】(問題2)構成上、2段目以降の単位スイッチの出力でセルの衝突が発生するのを避け得ない。

【0025】例えば、入力回線400-1に到着したセルが、出力回線406-1に出力される場合、セルがスイッチ内を通る経路は経路線408となる。仮に、入力回線400-1に到達したセルと同時に、出力回線406-1行きのセルが入力回線402-1に到着したとする。すると、そのセルの経路は経路線409で与えられ、単位スイッチ6の出力(あるいは単位スイッチ内のバッファ)でセルの衝突が発生する。

【0026】同じく、入力回線403-mに出力回線406-1行きのセルが到着した場合、セルの経路は経路線410となり、単位スイッチSW11の出力(あるいは単位スイッチ内のバッファ)でセルの衝突が発生する。このように、単位スイッチの多段接続においては、セルの衝突を回避することが前提となるが、衝突回避の

アルゴリズムはハードウェアの増大を引き起こす。

【0027】(問題3)上述の(問題1)に関連して、リンクのバス幅を適当にパラレル化したり、単位スイッチ間のリンク数を増やし、1リンク当たりのスループットを減らす方法が考えられる。しかし、これは単位スイッチ間の配線を増大させることになる。

【0028】例えば、単位スイッチ毎にLSI化しPKGに実装した場合、単位スイッチ間のリンクの多さは配線上のネックとなる。さらにリンクの動作速度が高速であればあるほど、遅延設計の困難さや配線間のクロストークノイズの問題が深刻になる。

【0029】なお、単位スイッチをMCM(マルチチップモジュール)に封入した場合にも、同様の問題が発生するのは言うまでもない。

【0030】(問題4)上述の(問題3)で、1リンクあたりのスループットを減らす方法として、単位スイッチのリンク数を増やすことについて述べた。これは、単位スイッチの出力数を増やすことを意味する。リンク数が増えることにより、単位スイッチが選択できるリンクの自由度は増える。従って、(問題2)で述べたセルの衝突が回避出来るようになると考えられる。

【0031】しかし、リンクの自由度が増えるということは、それだけ入力セルが出力されるまでに通る経路が増えることを意味し、各段の単位スイッチにおいて経路選択の判断が重くなることを意味する。なおかつ、セル衝突を回避し最適な経路選択をスイッチに行わせるためのアルゴリズムは極めて難しい。また、ハードウェアの増大にもつながる。

【0032】(問題5)単位スイッチの多段接続構成では、単位スイッチのセル出力のトリガとして、次段の単

位スイッチからセル読み出しの要求信号が必要となる。すなわち、セルが伝送されるリンクとは別に、セル読み出し制御線が必要となる。これは、単位スイッチ間の回線が増大することを意味する。

【0033】図4において、単位スイッチSW1と単位スイッチSW5間のリンク413を介してセルの伝送を行う場合、単位スイッチSW5から単位スイッチSW1に、セル読み出し要求のための制御線414が必要となる。

【0034】以上に単位スイッチの多段構成における問題点を述べた。とりわけ、(問題2)、(問題4)、(問題5)から多段構成においては、スイッチ内部でセルの衝突を回避しなければならない、適切な経路選択を行わなければならない、また前記の要求を満たすようなセル読み出しのための制御を行わなければならない、しかも、これらの制御をスイッチ全体で実現しなければならない。そしてこれらの制御は複雑でハードウェアの大幅な増大につながる。スイッチの規模や容量が大きければ大きいほど、その傾向は強まる。

【0035】従って、スイッチの大規模化、大容量化を実現するためには、多段接続構成のスイッチではなく、一段構成のスイッチが望ましい。一段構成のスイッチとして候補にあげられるのが、出力バッファ型のスイッチである。

【0036】勿論、共通バッファ型スイッチも一段で構成することは可能である。しかし、共通バッファ型スイッチで同一の交換規模のスイッチを実現する場合、出力バッファ型スイッチのバッファメモリのアクセス速度は共通バッファ型に比べ、約1/2のメモリアクセス速度で済むという利点がある。

【0037】なぜなら、出力バッファ型、共通バッファ型ともに入力セルの多重が前提となるからであり、入力回線数 n 、出力回線数 n 、回線速度を v とすると共通バスのスループットは、前者が $(n+1)v$ 、後者は $2nv$ となるからである。

【0038】(問題6)しかし、出力バッファ型スイッチは入力セルの多重が前提となる以上、(問題1)に示したように、バスの動作周波数やバッファメモリへのセル書き込みに高速性が要求されるのを避けられない。

【0039】

【課題を解決するための手段】かかる課題を解決するため本発明においては、入力部、バッファ部及び出力部の各機能部を、それぞれ1又は複数有する単位スイッチ1段で構成された出力バッファ型のATMセル交換装置において、以下の手段を設けるようにする。

【0040】(A)すなわち、入力部に、(1)各回線を介して入力されるATMセルのそれぞれからその宛先情報を抽出する宛先情報抽出手段と、(2)当該抽出された宛先情報を複数回線分多重し出力する宛先情報多重手段を設けるようにする。

【0041】このように、各回線を介して伝送されるATMセルから宛先情報を抽出し、これらを回線間で多重して出力することにより、必ずしも、各回線ごとに一つの配線を用意しなくても良くなり、宛先情報の伝送に必要なとされる配線数を収容回線数に比して少なくできる。

【0042】(B) また、バッファ部に、(1) 各回線についてのATMセルをバラレル展開し出力するバラレル展開手段と、(2) バラレル展開後のATMセルを複数回線分多重して出力するATMセル多重手段とを設けるようにする。

【0043】このように、バッファ内部でATMセルをバラレル展開する方式を採用したことにより、バッファ内部に存在するバッファメモリへのアクセス速度を低減することができる。またこのように、バッファ内部にてバラレル展開することにより、当該バッファ部と入力部間の配線数を低減することができる。

【0044】(C) また、バッファ部の出力段に、(1) 1又は複数の回線に対応する複数個の先入先出型記憶手段と、(2) 当該複数個の先入先出型記憶手段より順番にATMセルを読み出して出力する選択手段を設けるようにする。

【0045】このように、バッファ部の出力段に設ける先入先出型記憶手段を、全回線に共通して1つ設けるのではなく、1又は複数回線ごとに1つの割合で全回線に対して複数の記憶手段を設けるようにしたことにより、特定の回線についての伝送セルの増大によりセル廃棄の必要が生じる場合にも、その影響を当該回線と共に収容されている回線の範囲で収めることができる。

【0046】

【発明の実施の形態】

(A) 第1の実施形態

以下、図面について、本発明の第1の実施形態を説明する。

【0047】(A-1) 第1実施形態の構成

(A-1-1) 全体構成

実施形態に係るATMスイッチ装置の構成を、図1に示す。このスイッチ方式は、入力回線数 $n \times$ 出力回線数 n の出力バッファ型に係るものである。

【0048】図1に示すように、このATMスイッチ装置は、入力部、バッファ部、出力部の3種類の基本機能ブロックで構成されている。これらの機能ブロックは、スイッチ規模に応じて配備数が変わる。尚、図1の機能ブロック間の接続は、主情報(セル、宛先情報)についてのみ示してある。

【0049】(A-1-2) 入力部の構成

第1～第 n 入力セル100-1～100- n は、 n 本の入力回線101-1～101- n を介して入力され、 m 回線ごと、第1～第 n/m 番目の入力部102-1～102- n/m のそれぞれに入力される。

【0050】ここで、 n/m で与えられる値は、例え

ば、入力回線数を64回線($n=64$)とし、1つの入力部に8回線($m=8$)を収容する場合に、入力部の個数として8ブロック($n/m=8$)必要となることを表している。

【0051】続いて、 n/m 個ある入力部のうち第1入力部102-1に着目して入力部の構成を説明する。

【0052】入力部102-1は、第1回線からの入力セル100-1を適当なバス幅にバラレル展開し、これを配線103-1-1～103-1-4から出力する。

10 同じく、入力部102-1は、第 m 回線からの入力セル100- m を適当なバス幅にバラレル展開し、これを配線103- m -1～103- m -4から出力する。すなわち、各入力部は、1回線からの入力を4つの配線に分岐して出力する。

【0053】また、入力部102-1は、第1回線～第 m 回線から入力される m 個の入力セル100-1～100- m の各第1オクテットを m 多重し、配線107-1から出力する。

20 【0054】その他の入力部についての処理と出力も、入力部102-1と同様の処理と出力がなされる。

【0055】(A-1-3) バッファ部の構成

バッファ部は、第1～第4面のバッファ部105-1～105-4からなる。これら第1～第4面のバッファ部は、各入力部102-1～102- n/m において4つに分岐された各回線セルのバッファリング用に設けられている。

【0056】第1～第4面バッファ部には、それぞれ入力回線数 n と同じ数のサブバッファ部が配置されている。これら n 個のサブバッファ部は、各配線からの入力を、 n 分岐してバラレル入力するのに用いられる。

30 【0057】以下、第1面バッファ部105-1に着目して具体的に説明する。

【0058】第1面バッファ部105-1には、各入力部102-1～102- n/m から出力されたセルのうち、配線103-1-1～103- n -1へ出力されたセルが入力される。

【0059】さらに、各配線を介して入力されたセルは、それぞれ第1面バッファ部105-1内で n 分岐され、 n 個のサブバッファ部(以下、第1-1～第1- n バッファ部という。)106-1～106- n に入力される。

【0060】例えば、第1入力部102-1から第面バッファ部105へ出力されたセル出力(配線103-1-1を介しての出力)は、第1面バッファ部105-1内の第1-1～第1- n バッファ部106-1～106- n の n 個の全てのバッファ部に共通に入力される。

【0061】同じく、第1入力部102-1の第2面バッファ部行きのセル出力(配線103-1-2を介しての出力)、第3面バッファ部行きのセル出力(配線103-1-3を介しての出力)、第4面バッファ部行きの

セル出力（配線103-1-4を介しての出力）についても、各面のバッファ部内に設けられているn個全てのサブバッファ部に共通に入力される。

【0062】その他の入力部102-2~102-n/mのセル出力についても、バッファ面1~4の各バッファ部に同様の入力がなされる。

【0063】また、各入力部102-1~102-n/mからm多重出力された第1オクテット出力（配線104-1~104-n/mを介しての出力）についても、第1~第4面バッファ部105-1~105-4内の各サブバッファ部に入力される。

【0064】すなわち、第1面バッファ部105-1に入力された、第1オクテット出力（配線104-1~104-n/mを介しての出力）は、第1面バッファ部105-1内のn個のサブバッファ部106-1~106-nに入力される。

【0065】また、第2~第4面バッファ部105-2~105-4に入力された、第1オクテット出力（配線104-1~104-n/mを介しての出力）も同様に、n個のサブバッファ部106-1~106-nに入力される。

【0066】なお、これら第1オクテット出力（配線104-1~104-n/mを介しての出力）は、各面のバッファ部105-1~105-4に共通に入力される信号である。

【0067】さて、各面のn個のサブバッファ部106-1~106-nは、それぞれ、配線104-1~104-n/mより入力される第1オクテットをもとに、配線103-1-1~103-n-1より入力されるセルをセル交換するよう動作する。

【0068】交換されたセルは、各サブバッファ部106-1~106-nに接続されている各配線107-1-1~107-n-1から出力される。

【0069】同様に、第2~第4面バッファ部105-2~105-4の各サブバッファ部からも交換後のセルが、配線107-1-2~107-n-2、107-1-3~107-n-3、107-1-4~107-n-4から出力される。

【0070】（A-1-4）出力部の構成

第1~第n出力部108-1~108-nには、4面あるバッファ部105-1~105-nから出力されたセルが、それぞれ配線107-1-i~107-n-i（i=1、2、3、4）を介して入力される。

【0071】この第1~第n出力部108-1~108-nは、各配線から入力されたセルをまとめ、出力回線109-1~109-nから第1~第n回線用の出力セル110-1~110-nとして出力する。

【0072】これら第1~第n出力部108-1~108-nは、出力回線数と同数が配置される。

【0073】例えば、第1番目の出力部108-1の場

合、4面ある各バッファ部105-1~105-4から入力から完全なセルを形成し、出力回線109-1から第1回線用の出力セル110-1として出力する。

【0074】その他の出力部についても同様である。

【0075】（A-2）第1実施形態の動作

続いて、図1の構成を有するATMスイッチ装置におけるスイッチング動作の説明を、入力部、バッファ部、出力部の各機能部の順に説明する。

【0076】（A-2-1）動作説明で使用する出力バッファ型スイッチの規定

説明を容易にするために、図1を以下のように規定する。

【0077】第1の実施形態に係るATMスイッチ装置は、入力64回線×出力64回線、回線速度2.4Gbpsの出力バッファ型スイッチとする。

【0078】ここで、入力部は、8回線を収容するものとする。従って、入力部を、8ブロック用意する。

【0079】バッファ部は、図1のように4面構成とし、1面は64ブロックのバッファ部から構成されるものとする。従って、全体では、256（64×4）ブロックとなる。

【0080】出力部は、出力回線数分必要となるので、64ブロックとなる。

【0081】また、各入力回線から入力されるセル及び出力回線から出力されるセルのフォーマットは、図3（B）において符号301で表したものとする。これは、ITU-TやATMフォーラム等で規定されるセルフォーマット300に、スイッチ装置におけるセル交換実現のための宛先情報302を付加したものである。

【0082】（A-2-2）入力部における動作
ここでは、図5に示した、第1~第8入力回線を収容する入力部の詳細構成に基づいて説明する。なお、この入力部において実行される動作説明図を表したのが図6である。以下、図5及び図6に基づいて説明する。その他の回線を収容する入力部についても全く同じ動作をする。

【0083】（a）まず、第1~第8入力回線500-1~500-8から入力される第1~第n入力セル501-1~500-8及び第1~第nフレーム信号502-1~500-nが、初段に設けられている位相整合部503に入力される。

【0084】ここで、フレーム信号とは、セルの先頭を識別するための固定長の基準信号である。入力セル及びフレーム信号は、共に、回線毎に用いられるクロックに同期して入力される。また、フレーム信号の先頭とセルの先頭は一致している。すなわち、第1入力回線500-1のクロック、入力セル501-1、フレーム信号502-1の位相関係は、図6の600、601、602のように一致する。

【0085】なお、入力セルは8バラレルで入力され

る。従って、クロックの動作周波数は310MHzとなる。

【0086】ところで、各入力回線についてはフレーム信号の先頭とセルの先頭が一致しているが、回線毎と比較した場合、8回線全てのフレーム信号とセルの先頭が一致した状態で入力部に入力される保証はない。これは、交換網側からATMスイッチ装置に入力されるセルが64回線とも全て同時に入力される訳ではないからである。

【0087】また、ATMスイッチ装置は、同一のクロック源をもとに動作しているので、各回線におけるクロック動作周波数は同一であるが、ATMスイッチ装置のクロック経路によっては、各回線ごとに位相が微妙にずれていることがある。従って、回線クロックに同期して入力されるセル及びフレーム信号を、ATMスイッチ装置内部の共通クロックに乗せかえる必要がある。

【0088】従って、入力部に入力されるセル及びフレーム信号は、全て、図5の位相整合部503において位相合わせされる。位相合わせの様子を、図10に示す。フレームの位置関係は、ある特定の回線（例えば、回線番号の若番）に基準を合わせても、又は、一番先に入力されるフレームに合わせても、又は、入力部内で生成するある基準に合わせても構わない。

【0089】いずれにしても、第1～第8入力回線500-1～500-8から入力される第1～第n入力セル501-1～501-8及び第1～第nフレーム信号502-1～502-nの先頭は、位相整合部503（図5）によって完全に一致され、その状態でのセルのみが、宛先抽出部508-1～508-8に出力される。

【0090】(b) 位相整合部503により、フレーム信号の位相関係は一致されたので、その情報504をもとに、入力部内部の制御信号506及び入力部1フレーム信号513がタイミング／フレーム生成部505で生成される。ここで、制御信号506は入力部の各機能ブロックに分配される。また、入力部1フレーム信号513は、入力部から出力されるセルの先頭位置を識別するための信号として出力される。

【0091】(c) 位相整合部503の出力（回線507-1～507-8を介しての出力）は、次に、パラレル展開回路509-1～509-8に出力される。パラレル展開回路509-1～509-8は、8パラレルの入力セルを16パラレルに展開する機能を有する。16パラレルに展開されたセルは、回線毎に4パラレル単位で分配され、第1面バッファ部行きセル511-1-1～511-8-1、第2面バッファ部行きセル511-1-2～511-8-2、第3面バッファ部行きセル511-1-3～511-8-3、第4面バッファ部行きセル511-1-4～511-8-4として出力される。

【0092】例えば、第1入力回線500-1の第1入

力セル501-1は、パラレル展開回路509-1でパラレル展開され、4パラレル単位で第1面バッファ部行きセル#1-1、第2面バッファ部行きセル#1-2、第3面バッファ部行きセル#1-3、第4面バッファ部行きセル#1-4として出力される。

【0093】ここで、パラレル展開は、図6の様に行われる。先にも述べたが、602は第1入力セル501-1を示している。まず、第1入力セルの1～54オクテットを、それぞれ上位ビットと下位ビット（#1-1U～#1-54L）とに分ける。第1入力セルの第1オクテットの上位4ビットのデータを#1-1U、下位4ビットのデータを#1-1Lとする。第1入力セルの第54オクテットなら上位4ビットのデータは#1-54U、下位4ビットのデータは#1-54Lとなる。

【0094】この時、パラレル展開回路509-1は、第1面バッファ部行きセル#1-1については608、第2面バッファ部行きセル#1-2については607、第3面バッファ部行きセル#1-3については606、第4面バッファ部行きセル#1-4については605の形式で出力する。

【0095】なおここでは、第1入力セルのパラレル展開の様子を図6をに示したが、その他のセルに対しても同様の手順でパラレル展開がなされる。

【0096】(d) 位相整合部503の出力（内部配線507-1～507-8を介しての出力）は、第1～8宛先抽出部508-1～508-8に与えられる。これら宛先抽出部508-1～508-8においては、各入力回線のセルの第1オクテットが抽出され、内部配線510-1～510-8から出力される。抽出されたセルの第1オクテットは、宛先多重部511において多重され、第1入力部の宛先情報512として出力される。これら第1入力部の宛先情報512は、第1～第4面のバッファ部への共通の出力となる。

【0097】第1～第8入力回線のセルの第1オクテットは、回線の若い番号順に、図6の多重信号609に示すように、8パラレルの信号に多重される。ここで、多重信号609は、第1～第8入力回線のセルの第1オクテット#1-1U、#1-1L～#8-1U、#8-1Lが回線の若番順に多重されることを示している。宛先情報は、8回線分で8バイト必要である。多重信号609のうち残りのバイトはリザーブバイトとし、一つの入力部が収容する回線数が8回線から16回線に拡張される場合に対応可能とする。

【0098】(e) 一方、パラレル変換回路509-1～509-8は、8パラレルの入力セルを16パラレルに展開することで、出力セルのクロック速度を310MHzから155MHzに落とすよう動作する。

【0099】入力部から出力されるセル#1-1～#1-4、…#8-1～#8-4及び第1入力部の宛先情報513は、155MHzのクロックに同期して出力され

る。

【0100】タイミング／フレーム生成部505で生成される入力部1フレームも155MHzのクロックに同期して出力される。

【0101】なおかつ、1つの入力部から出力されるセル及び宛先情報の先頭は、その入力部で生成されるフレームの先頭と一致させて出力される。その位相関係は図6の603～609の通りである。ここでは、入力1回線分のセル出力605～608しか示していないが、他の回線のセルの先頭もフレーム604と一致している。

【0102】また、入力される1セルの時間的な長さを“1セル周期”と呼ぶ。出力されるセルもこの1セル周期の間隔で出力される。

【0103】(A-2-3)バッファ部における動作図7は、第1面バッファ部105-1内に設けられているn個のサブバッファ部のうち第1回線用サブバッファ部(図1の106-1)の詳細構成図であり、図8及び図9はその動作説明に供する図である。

【0104】以下、これらに基づいて、第1面バッファ部105-1の第1回線用サブバッファ部106-1で実行される動作を説明する。なお、その他全てのサブバッファ部において実行される動作は、全く同一の動作であるので他のサブバッファ部についての説明は省略する。

【0105】(a) まず、第1～第8入力部から第1面バッファ部行きセル#1-1～#64-1(700-1～700-64)、第1入力部～第8入力部の各宛先情報701-1～701-8、第1～第8入力部のフレーム信号702-1～702-8が、サブバッファ部106-1内の位相整合部703に入力される。

【0106】ここで、第1面バッファ部行きのセルは、8回線の各セルから抽出した第1オクテットを8回線分多重してなる宛先情報と、入力部で生成されたフレーム信号と共に、それら回線のクロックに同期して入力される。

【0107】なお、図8における各入力800～803は、それぞれ、第1入力部から入力されるクロック800、第1入力部フレーム(801)、第1面バッファ部1行きセル#1-1～#8-1(802-1～802-8)、第1入力部の宛先情報803を示している。

【0108】また、入力部の動作説明(e)項においても説明したが、入力されるセル、宛先情報、フレームの間隔は、1セル周期である。他の入力部から入力されるクロック、フレーム、第1面バッファ部行きセル、宛先情報についても同様の位相関係をもって入力される。

【0109】同様に、入力部の動作説明(e)項の説明のように、ある一つの入力部からのセル、宛先情報及びフレームの先頭位置は一致している。しかし、入力部の(a)項に示したように、入力部間のフレーム位置又はクロックの位相は微妙にずれていることがある。

【0110】従って、位相整合部703において、サブバッファ部に入力される全てのセル及びフレーム信号は、先に説明した入力部の動作説明(a)項の場合と同様に、図10に示す要領で信号間の位相合わせが行われる。

【0111】この結果、位相整合部703からは、セル#1-1～#64-1(600-1～700-64)及び第1～第8入力部の宛先情報701-1～707-8の全てのデータについて先頭位置が一致された状態で出力される。そのうち、セルと宛先情報のみがそれぞれについての出力(内部配線706-1～706-64及び707-1～707-8を介しての出力)として出力される。

【0112】(b) タイミング／フレーム生成部705は、このように、位相整合部703においてフレーム位相が一致させられた情報704をもとにサブバッファ部内の制御信号708及びサブバッファ部1-1のフレーム信号709を生成し出力する。ここで、制御信号708は、入力部の各機能ブロックに分配される。

【0113】また、サブバッファ部1-1のフレーム信号709は、サブバッファ部から出力されるセルの先頭位置を識別するための信号としても利用される。

【0114】(c) さて、位相整合部703で位相が合わされた64回線分のセル及び宛先情報は、8回線単位で分配され、第1～第8のアドレスフィルタ部710-1～710-8のいずれかに入力される。

【0115】このうち第1入力部から出力された第1～第8回線分のセル700-1～700-8及び宛先情報701-1は、内部配線706-1～706-8及び707-1を介してアドレスフィルタ部1(710-1)に入力される。その他のアドレスフィルタ部についても、各入力部からそれぞれ同様の入力となされる。

【0116】アドレスフィルタ部の説明については、第1アドレスフィルタ710-1についてのみに行うが、全てのアドレスフィルタで全く同じ動作を行う。

【0117】(d) 位相整合後の内部配線706-1～706-8を介して第1アドレスフィルタ710-1に入力されたセルは、第1～第8バラレル展開回路711-1～711-8に入力される。各入力セルは155MHzのクロックに同期して4バラレルで入力される。ここで、この4バラレルの入力は、第1～第8バラレル展開回路711-1～711-8において、それぞれ108バラレルに展開され内部配線713-1～713-8から出力される。

【0118】このように108バラレルに展開された結果、セルの動作周波数は、155MHzから5.76MHzまで落とされる。5.76MHzのクロックはタイミング／フレーム生成部705で生成される。

【0119】ここで、図8の入力セル802-1は、第1入力回線に対応する第1面バッファ部行きのセル#1

-1であり、これが5.76MHzクロック804に同期して805-1のように108パラレルに展開される。802-1のセルデータの意味は図6と同じであり、805-1のように展開される。その他のセルに関しても同様に108パラレルに展開される。

【0120】(e)108パラレルに展開された8回線分のセルは、内部配線713-1~713-8より第1セル多重部715-1に入力される。第1セル多重部715-1は、これら8回線分のセルを9多重し、52MHzのクロックに同期して回線718-1より出力する。52MHzのクロックは、タイミング/フレーム生成部705で生成される。

【0121】なお、第1セル多重部715-1に入力されるセルは8回線であるが、ここでは8多重ではなく9多重を行っている。これは、セルのバッファメモリからの読み出し時間を設けるためである。これについては後述する。

【0122】セル多重の様子を、図8右欄の各入力806~808について示す。

【0123】ここで、クロック806は、前述した52MHzのクロックである。内部基準信号807は、第1セル多重部715-1において回線の若番のセルを識別する内部基準信号であり、タイミング/フレーム生成部705で生成される。

【0124】また、808-1~808-8は、108パラレルに展開された8回線分のセルである。また、多重されるセルの順番は回線番号の若い順からであることを示している。また、出力808-9は、バッファメモリからセルの読み出しに割り当てられるので、セルは多重されない。セル808-1~808-8及び読み出し時間808-9の周期は、入力部の動作説明(e)項で規定した1セル周期と同じ時間となる。

【0125】(f)一方、位相整合後の宛先情報は、内部配線707-1を介して第1宛先情報処理部712-1に入力される。

【0126】各バッファ部には、前述したように、8回線単位で宛先情報が入力部から送られて来ている。この第1宛先情報処理部712-1は、155MHzクロックに同期する宛先情報を52MHzのクロックに同期させて回線714-1から出力する機能を有している。

【0127】図8左欄の情報803は、この第1~第8入力回線の宛先情報を表している。第1セル多重部715-1の出力808-1~808-8は、第1~第8入力回線のセルが回線番号の若い順に多重されている。出力809-1~809-8は、第1宛先情報処理部712-1の出力で、第1~第8入力回線の宛先情報が回線番号の若い順に出力することを示している。また、メモリ読み出しの時間809-9を設けている。つまり、セルと宛先情報の回線番号が完全に一致していることを意味して

【0128】すなわち、宛先情報処理部出力809は、52MHzクロック806に同期しており、宛先情報の先頭バイトは内部基準番号807に一致している。これは、セルをバッファメモリに書き込む際に必要になる。

【0129】(g)第1書き込み制御部716-1は、宛先情報714-1に基づいてメモリ書き込みのためのライトイネーブル信号を生成して内部配線719-1から出力する。第1書き込み制御部716-1には、予めサブバッファ部が64回線あるうちのどの出力回線に該当するかが設定されていなければならない。

【0130】この出力回線の設定は、この書き込み制御部716-1~716-8に対する入力717により行われる。また、同じサブバッファ部に配置される全ての書き込み制御部には同一の出力回線番号が設定される。

【0131】図7の例では、第1出力回線のバッファ部であるので、第1~第8書き込み制御部716-1~716-8の全てに出力回線番号11(RB=1)が設定されている。

【0132】なお、装置内で交換されるセル(すなわち、図3の54ビットセル301)にの第1オクテットは、宛先情報302であり、この宛先情報302の宛先表示ビット(RBビット)に出力回線番号が設定されている。宛先表示ビットRBは、スイッチ装置内に入力されるセルが出力されるべき出力回線を特定するためのものである。

【0133】従って、第1書き込み制御部716-1は、入力される宛先情報714-1の宛先表示ビットRBと、入力717とによって、予め設定されているRB値を比較し、一致した宛先情報に該当するセルに対してだけライトイネーブル信号を有効にする。

【0134】因みに、図8に示す宛先ビット値810は、宛先情報809-1~808-8に設定されているRB値を示している。第1~1バッファ部は、第1出力回線用のバッファ部であり、RB値が1の宛先情報809-1、809-2、809-4、809-6、809-7にのみライトイネーブル信号811を有効にしている。

【0135】従って、有効とみなされたセル808-1、808-2、808-4、808-6、808-7がバッファメモリに書き込まれ、無効と見なされた宛先情報809-3、809-5、809-8に該当するセル808-3、808-5、808-8は、第1出力回線のバッファ部のバッファメモリには書き込まれない。

【0136】しかし、セル808-3の宛先情報809-3のRB値は5であり、このセルは、第5出力回線のバッファ部に書き込まれる。同じく、セル808-5の宛先情報809-5のRB値は6であり、このセルは第6出力回線のバッファ部に書き込まれる。同じく、セル808-8の宛先情報809-8のRB値は8であり、このセルは第8出力回線のバッファ部に書き込まれ

るのである。

【0137】従って、1セル周期中に入力されるセルが、どこかのバッファメモリにも書き込まれないことは、バッファメモリの容量を越えるセルを書き込もうとする場合以外にない。これは、1セル周期中に入力される64回線全てのセルをバッファに蓄積できることを意味する。

【0138】なお、宛先情報バイト302（図3）のRBビットは6ビットなので、構成可能なスイッチの規模は出力64回線までである。しかし、リザーブビット（RESビット）を用いることにより、最大128回線まで拡張可能である。

【0139】（h）サブバッファ部内に設けられたバッファメモリ720は、ライトポートを8ポート、リードポートを1ポート有する8W1RのFIFO（First In First Out）である。

【0140】#WD1～#WD8には、8回線単位のセルが、第1～第8書き込み制御部716-1～716-8で生成されたライトイネーブル信号に従って、回線718-1～718-8を介して入力される。一方、ライトイネーブル信号は、回線719-1～719-8を介して#WE1～#WE8から入力される。

【0141】また、#FULL1-8からは、バッファメモリがセルで一杯になったことを示すバッファフル通知信号が、回線726-1～726-8から出力される。この信号は、それぞれ第1～8書き込み制御部716-1～716-8に輸入される。

【0142】図9の入力913～922は、8W1R-FIFOの構成及び動作の説明に係る構成部及び信号を表している。

【0143】ここで、913-1～913-8は、対応するアドレスフィルタ部にバッファが満杯であることを通知するのに用いられるバッファフル通知信号である。

【0144】また、914-1～914-8は、8回線単位に多重されたセルの入力である。

【0145】915-1～915-8は、アドレスフィルタ部から入力されるライトイネーブル信号である。

【0146】916-1～916-8は、8回線単位で多重されたセルの蓄積に用いられるFIFOメモリである。この実施形態では、64回線を8回線単位で多重しているため8個用意されている。

【0147】918-1～918-8は、蓄積された出力である。

【0148】919-1～919-8は、第1～第8FIFO916-1～916-8ごとに用意されるリードイネーブル信号である。

【0149】920-1～920-8は、第1～第8FIFO916-1～916-8のそれぞれのFIFOにセルが蓄積されていないことを通知する信号である。

【0150】921は、第1～第8FIFO916-1

～916-8の出力918-1～918-8を選択するセクタである。

【0151】922は、8W1R-FIFOの出力である。

【0152】923は、8W1R-FIFOの外部で生成されるリードイネーブル信号の入力である。

【0153】図9中の#WD1～#WD8、#WE1～#WE8、#FULL1～#FULL8、#RD1、#RE1は、図中7の#WD1～#WD8、#WE1～#WE8、#FULL1～#FULL8、#RD1、#RE1と一致する。

【0154】（i）第1～第8入力回線のセルは、本バッファ部の動作説明（g）項で述べたように、回線718-1よりライトイネーブル信号719-1に従い、FIFO916-1に書き込まれる。書き込まれるセルは、第1入力回線から入力される第1セル、第2入力回線から入力される第2セル、第4入力回線から入力される第4セル、第6入力回線から入力される第6セル、第7入力回線から入力される第7セルである。

【0155】これらセル917は、1セル周期中に書き込まれたセルである。

【0156】次に、読み出しについて説明する。8W1R-FIFO720からのセル読み出しのタイミングは、本バッファ部の動作説明（g）項で述べた通り、1セル周期中に1回だけセルの書き込みが終了した時点となる。この時、読み出し制御部721で生成されるリードイネーブル信号723が、812（図8）の様に有効となる。

【0157】8W1R-FIFO720の内部は、8個の第1～第8FIFO916-1～916-8で構成されている。セルの読み出しは、セクタ（SEL）921で選択される。リードイネーブル信号723、すなわち、923が有効のとき919-1～919-8のいずれかが一つだけ有効となり、それに対応する918-1～919-8のいずれかから1セル読み出される。

【0158】第1FIFO916-1から第1セルが読み出される場合、919-1が有効となり、回線918-1からの出力が、セクタ921から回線922を介して読み出される。読み出された第1セルは、実際には926の通りである。

【0159】次の読み出しは、第2FIFO916-2となる。第2FIFO916-2は、第9～第16入力回線のセルが蓄積されており、例えば、読み出されたセルが927だとする。このとき、第1FIFO916-1からの読み出しセル926と、第2FIFO916-2からの読み出しセル927との読み出し間隔は、5.76MHzの周期となる。この読み出し間隔は、1セル周期に相当する。

【0160】セルの読み出しは1セル周期ごとに、第1～第8FIFOの順番で読み出される。また、次の読み

出しにあたるF1F0に読み出すべきセルが蓄積されていない場合、その次のF1F0からセルが読み出されることになる。第1～第8F1F0にセルが蓄積されていないことは、各F1F0から出力される920-1～920-8で知ることができる。

【0161】(j) 8W1R-F1F0720から読み出されるセルは、回線622-1を介してパラレル展開回路724に入力される。パラレル展開回路724では、5.76MHzの周期で読み出される108パラレルのセル926を、155MHzの4パラレルのセル930に展開し、出力ポート725より出力する。

【0162】ポート725より出力されるセルは、図7が第1出力回線用のバッファ部であることから、第1出力回線用の出力部行きのセルとなる。

【0163】(k) バッファ部より出力されるセルは、セルの先頭とタイミング/フレーム生成部705で生成されるフレームの先頭とが一致した状態で出力される。タイミング/フレーム生成部705で生成されるフレームは、4面構成のバッファ部のうち第1出力回線用のバッファ部から出力されるセルの先頭を識別するためのフレームである。フレーム929とセル930の位相関係は図9に示す通りである。

【0164】その他のバッファ部においても、出力されるセル930と、それぞれのバッファ部で生成されるフレーム929の位相関係は同様で、先頭が一致した状態で出力される。また、出力されるセルの周期(フレームの周期)は1セル周期である。

【0165】(l) 8W1R-F1F0720は、入力ポートと同数のバッファフル通知信号726-1～726-8を出力し、書き込み制御部716-1～716-8に出力しいる。ここで、バッファフル通知信号726-1～726-8が、第1～第8F1F0916-1～916-8にその容量を越えるセルの書き込みを禁止するための信号である。

【0166】従って、書き込み制御部716-1～716-8は、バッファフル通知726-1～726-8を受けた場合、たとえ自身のバッファに書き込むべきセルがあった場合でも、メモリ書き込みのためのイネーブル信号719-1～719-8を有効としない。

【0167】これは、すでに書き込まれているセルに対してセルの上書きを禁止するためである。また、バッファに書き込まれるべきセルであるにも関わらず、バッファフル通知726-1～726-8により書き込みを禁止されたセルは廃棄されたことになる。

【0168】(A-2-4) 出力部における動作
図11は、第1出力回線用の第1出力部の詳細図である。図11を用いて、第1出力部を説明する。その他の全ての出力部についても全く同一の動作をする。

【0169】(a) 4面あるバッファ部の第1出力回線用のバッファ部からは、それぞれ、セルとフレームが第

1出力部の位相整合部1103に入力される。

【0170】このうち、1100-1と1101-1は、1面のバッファ部から入力される第1-1セルと第1-1フレームの入力である。また、1100-2と1101-2は、2面のバッファ部から入力される第2-1セルと第2-1フレームの入力である。1100-3と1101-3は、3面のバッファ部から入力される第3-1セルと第3-1フレームの入力である。1100-4と1101-4は、2面のバッファ部から入力される第4-1セルと第4-1フレームの入力である。

【0171】あるバッファ面から出力されるセルとフレームの先頭は一致して入力される。しかし、バッファ面間のセルとフレームの位置関係、クロックの位相は、スイッチ装置内部を信号が通る経路によっては微妙にずれていることがある。

【0172】従って、位相整合部1103において出力部に入力される全てのセルならびにフレームは、入力部の動作説明(a)項で説明したのと同様、図10の要領で信号間の位相合わせが行われる。

【0173】すなわち、位相整合部1103で位相合わせが行われ、バッファ部1～4面の第1出力回線に対応する各バッファ部からの第1-1セル1101-1～第4-1セル1101-4は、セルの先頭が一致した状態で、回線1106-1～1106-4より出力される。

【0174】(b) 位相整合部1103でフレームの位置関係は一致するので、その情報1004をもとに第1出力回線の第1フレーム1110がフレーム生成部1105で生成される。第1フレーム1110は、出力部から出力される第1出力回線の出力セルの先頭位置を識別するための信号である。

【0175】(c) 位相整合部1103において位相関係の一致した155MHzの4パラレルのセルは1106-1～1104からパラレル展開回路1107に入力する。パラレル展開回路1107では、合計16パラレルの信号を8パラレル310MHzの信号に変換して第1出力回線1108に出力する。これは、入力部で4分割されたセルを出力部において1つの完全なセルに変換して出力することを意味する。

【0176】第1出力回線1108から出力される第1出力セル1109と、第1フレーム1110は、セルの先頭とフレームの先頭が一致した状態で出力される。

【0177】これを図12を用いて説明する。セル1202-1は、バッファ部1面の第1出力回線用のバッファ部から出力されるセルである。同じく、セル1202-2は、バッファ部2面の第1出力回線用のバッファ部から出力されるセルである。同じく、セル1202-3は、バッファ部3面の第1出力回線用のバッファ部から出力されるセルである。同じく、セル1202-4は、バッファ部4面の第1出力回線用のバッファ部から出力

されるセルである。セル1202-1~1202-4は、155MHzの4パラレルのセルである。

【0178】出力部は、これらを出力セル1205のように、310MHzの8パラレルの完全な形のセルに交換する。また、出力セル1205の先頭は、フレーム1204の先頭と一致されて、1セル周期の間隔で出力される。

【0179】(A-3)第1実施形態の効果

(1)大規模、大容量のATMスイッチ装置を、上述の実施形態で説明した1段型の出力バッファ型スイッチで構成することにより、従来技術の例で述べた(問題2)~(問題5)に対する解決手段を実施しなく済ませることができる。これにより、セル交換以外のハードウェアの増大を抑制し、回路構成を簡略化できる。

【0180】(2)上述の動作説明((A-2-2)入力部の動作説明(c)項)で述べたように、本実施形態における入力部では、入力セルのパラレル展開時に、バスの動作速度を低減している。すなわち、実施形態の場合、310MHzの8パラレルのセルを、16パラレルに展開することによりバスの動作速度を155MHzにまで落とすことができる。

【0181】最大432パラレル(8パラレル×54バイト)にまで展開できるが、パラレル展開数の増加は、LSI化を考慮した場合のビンネックになり、入力部に収容できる回線数を減らすことになる。

【0182】また、ブロック間の配線数の増加はPCBボード上の配線を困難にするばかりでなく、信号間のビット同期の保証を困難にする。従って、実施形態の場合には16パラレルに留めている。

【0183】(3)上述の動作説明((A-2-2)入力部の動作説明(d)項)で述べたように、本実施形態における入力部では、宛先情報である入力セルの第1オクテットを多重することにより入力部からの配線数を削減することができる。

【0184】なお、宛先情報を回線毎に、回線に付随する形態で回線数分だけ設ける方法が報告されている。実施形態の場合は、宛先情報は8パラレルであり、入力部が収容する回線数は8回線であった。

【0185】しかし、入力部に収容する回線数を16回線に増やした場合でも、宛先情報信号の信号数は8本で済む。

【0186】また、入力部に収容する回線数が27回線を越える場合、例えば32回線の場合、8パラレルの信号をさらに追加しても宛先情報信号の信号数は、32回線に対して16本で済み全体としては削減されることになる。

【0187】(4)上述の動作説明((A-2-3)バッファ部の動作説明(d)項)で述べたように、本実施形態におけるバッファ部では、入力されるセルをアドレスフィルタ部内でさらにパラレル展開することにより、

セルの動作周波数を低減している。これにより、バッファメモリのアクセス速度を低減することができる。

【0188】すなわち、この実施形態の場合には、入力部で、入力を8パラレルから16パラレルに変換し、さらに、バッファ部で、その内の4パラレルの信号を108パラレルに展開している。バッファ部は、入力1回線に対し4面構成なので、バッファ部内で108パラレル展開することは、8パラレルの入力セルを432パラレルに展開したことに等価である。

【0189】なお、この効果の項(3)で述べた通り、ブロック間の配線を極力減らすために、バッファ部内でパラレル展開しているのである。

【0190】(5)上述の動作説明((A-2-3)バッファ部の動作説明(e)項)で述べたように、本実施形態におけるセル多重部では、セル多重において(入力回線数+1)多重を実施している。これは、メモリ読み出し期間を設け、バッファからのメモリ読み出しの制御を容易にし、メモリ読み出しの周期を1セル周期に固定することができる。

【0191】(6)上述の動作説明((A-2-3)バッファ部の動作説明(g)項)で述べたように、本実施形態では、メモリへのセル書き込みの際、宛先情報からライトイネーブル信号を生成している。宛先情報は複数あるバッファ部に共通に入力される。バッファ部同志は独立動作しており、セルの書き込み動作も独立動作することが可能である。

【0192】複数あるうちのバッファ部の一つをマスタとし、これに宛先情報を入力しライトイネーブル信号を生成し、他のバッファ部をスレーブとし、これらにイネーブル信号を供給してセルの書き込みを行う方法も報告されている。

【0193】この様なマスタ・スレーブ方式は、バッファ部間の同期動作が必要となり制御が複雑になる。

【0194】本実施形態では、その様な制御は必要なく回路構成が簡単で済む。

【0195】(7)上述の動作説明((A-2-3)バッファ部の動作説明(h)及び(i)項)で述べた8W1R-FIFOの構成例は、内部に8個のFIFOを配置している。1個のFIFOとして構成することは可能であるが、ライトポートにおける多重が前提となり、メモリアクセス速度をさげるための構成が意味をなさなくなる。

【0196】従って、8個のFIFOの読み出しを選択する方式で、メモリアクセス速度を上げることなく8ライトポート同時書き込み、1リード読み出しが可能となる。

【0197】これは、1ライトポートのFIFOを用いるのに対し、1/8のアクセス速度で書き込みが可能となることを意味している。

【0198】メモリアクセス速度を下げることは(問題

1)で述べたことを解決できる。

【0199】(8)上述の動作説明(A-2-3)バッファ部の動作説明(1)項で述べたように、複数回線単位にセル書き込みのためのFIFOを個別に用意し、FIFOごとにメモリアルの状態を通知する信号を有していることにより、特定の回線グループにセルが集中しても、他の回線グループのセルの書き込みには影響しない。

【0200】1つのFIFOで構成した場合、FIFOがフルになった時点でセルを廃棄することになり、入力回線の全てに影響を及ぼす可能性がある。

【0201】実施形態の場合は、64回線を8回線単位でFIFOに対し、セルの書き込みを行なっている。第1出力回線のバッファ部の第9入力回線〜第64入力回線には影響を及ぼさない。

【0202】(9)上述の動作説明(A-2-2)入力部の動作説明(a)項、(A-2-3)バッファ部の動作説明(a)項及び(A-2-4)出力部の動作説明(a)項で述べたように、入力部、バッファ部、出力部の各機能ブロックでは、全ての主情報に対して位相整合を実施している。これにより複数ある機能ブロック間の独立動作を保証することが可能となる。

【0203】一般に、入力部、バッファ部、出力部すべての機能ブロックを1個のLSIで構成するのが理想ではあるが、現状の技術では不可能である。従って、実際には、複数のLSIの分割して、スイッチ装置を構成することになる。このため、スイッチ装置内では、機能ブロック間はPCBボード上で配線されることになる。従って、機能ブロック間の信号には配線の遅延が生じることになる。信号の速度が速ければ速いほど、遅延に対する要求が厳しくなる。

【0204】しかし、入力部とバッファ部間の全ての信号のビット同期をとることは困難である。同様に、バッファ部と出力部間の全ての信号のビット同期を取ることも困難である。

【0205】従って、ビット同期の保証はフレームとセルにとどめ、各機能ブロックで位相整合を実施することによりセル交換の動作を保証する。これは、各ブロック間で、同期情報のやり取りを必要としないことを意味し、スイッチの構成を容易にすることにもつながる。

【0206】(B)第2実施形態
以下、図面について、本発明の第2の実施形態を説明する。

【0207】(B-1)第2実施形態の構成
上述の第1の実施形態では、1つのバッファ部に1つの8W1R-FIFOを配置していたのに対し、この第2の実施形態では、図13のように2つ配置する。

【0208】図13は、入力される信号は図11と同じである。位相整合後のセルを第1出力回線用の第1〜第8アドレスフィルタだけでなく、第2出力回線用の第9

〜第16アドレスフィルタに入力している。フレームは、第1出力回線と第2出力回線に共通のフレームとなる。

【0209】(B-2)第2実施形態の動作
続いて、この第2の実施形態に係るATMスイッチ装置の動作を説明する。ただし、位相整合部、第1〜第16アドレスフィルタ部、第1及び第2の8W1R-FIFO、第1及び第2パラレル展開回路、タイミング/フレーム生成部、読み出し制御部の内部構成及び動作は、第1の実施形態の場合と全く同じであるのでその説明は省略する。

【0210】この図13に示す第2の実施形態に特有な部分は、第1出力回線及び第2出力回線用のバッファ部の構成である。従って、第1出力回線用の第1〜第8アドレスフィルタにはRB=1を、第2出力回線用の第1〜第8アドレスフィルタにはRB=2を設定しなければならない。

【0211】第1の実施形態では、出力1回線にセルを交換するのに、バッファ部を4個必要とする構成であった。(これは、バッファ部が4面構成で出力1回線を構成するためである。)これに対し、第2の実施形態では、4個のバッファ部で出力2回線のセルを交換できる。

【0212】第1の実施形態で述べたが、1面に複数個のバッファ部があるとしても、各バッファ部に入力される信号は共通である。従って、第2の実施形態では位相整合後のセル及び宛先情報を第1出力回線と第2出力回線の機能ブロックに入力している。これにより、1つのバッファ部で出力2回線分が交換できるのである。

【0213】(B-3)第2の実施形態の効果
第1の実施形態においては、64回線を交換するには256(64×4)個のバッファ部が必要であったため、1個のバッファ部を1個のLSIで実現する場合、バッファ部だけで256個のLSIが必要となる。

【0214】それに対し、第2の実施形態では、128個のLSIで済む。これは、スイッチ装置のハード量の削減及びブロック間の配線の削除が可能となり、装置構成が容易になる等の効果を生む。

【0215】バッファ部に対する入力信号が共通であるため、出力回線の数を増やしても入力ピン数は変わらない。変わるのは出力回線の数だけである。出力1回線に対する出力ピン数はセルが4ピン、フレームが1ピンだけである。回線数の拡張で増えるピン数はセルの4ピンだけであり、回線の拡張がLSIピンネックにはつながらない。

【0216】LSIのプロセス技術の進歩により、1個のバッファ部出力4回線を交換するなどの回線規模の拡張を実施することも可能である。

【0217】(C)他の実施形態

なお、上述の実施形態においては、ATMスイッチ装置

について述べたが、かかるA T Mセルの交換機能を有する装置や機器であれば適用することができる。

【0218】また、上述の実施形態においては、入力64回線×出力64回線の場合において用いる回路構成の一例を説明したが、入力部、バッファ部、出力部の各個数及びこれらの内部構成はそれぞれ、システムに応じて他の構成を採り得る。

【0219】

【発明の効果】上述のように、本発明によれば、A T Mセル交換装置を、入力部、バッファ部及び出力部の各機能部を、それぞれ1又は複数有する単位スイッチ1段で構成される出力バッファ型とし、その入力部に、各回線を介して入力されるA T Mセルのそれぞれからその宛先情報を抽出する宛先情報抽出手段と、当該抽出された宛先情報を複数回線分多重し出力する宛先情報多重手段を設けることにより、宛先情報の伝送に必要とされる配線数を収容回線数に比して少なくすることができる。

【0220】また、上述のように、本発明によれば、A T Mセル交換装置を、入力部、バッファ部及び出力部の各機能部を、それぞれ1又は複数有する単位スイッチ1段で構成される出力バッファ型とし、そのバッファ部に、各回線についてのA T Mセルをバラレル展開し出力するバラレル展開手段と、バラレル展開後のA T Mセルを複数回線分多重して出力するA T Mセル多重手段とを設けることにより、バッファ内部に存在するバッファメモリへのアクセス速度を低減することができる。またこのように、バッファ内部にてバラレル展開することにより、当該バッファ部と出力部間の配線数を低減することができる。

【0221】さらに、上述のように、本発明によれば、A T Mセル交換装置を、入力部、バッファ部及び出力部の各機能部を、それぞれ1又は複数有する単位スイッチ1段で構成される出力バッファ型とし、そのバッファ部の出力段に、1又は複数の回線に対応する複数の先の入先出型記憶手段と、当該複数の先の入先出型記憶手段より順番にA T Mセルを読み出して出力する選択手段を設

けることにより、特定の回線についての伝送セルの増大によりセル廃棄の必要が生じる場合にも、その影響を当該回線と共に収容されている回線の範囲で収めることができる。

【図面の簡単な説明】

【図1】第1の実施形態に係るA T Mスイッチ装置の構成を示すブロック図である。

【図2】従来型のA T Mスイッチ装置の構成を示すブロック図である。

10 【図3】A T Mセルフォーマットを示す図である。

【図4】単位スイッチを多段接続して構成したA T Mスイッチ装置の構成を示すブロック図である。

【図5】入力部の構成を示すブロック図である。

【図6】入力部におけるA T Mセルの展開動作を示す図である。

【図7】バッファ部の全体構成を示すブロック図である。

【図8】バッファ部内アドレスフィルタ部での動作を示す図である。

20 【図9】バッファ部出力段に設けるF I F Oメモリの動作説明に供する図である。

【図10】位相整合部の入出力関係を示す図である。

【図11】出力部の構成を示すブロック図である。

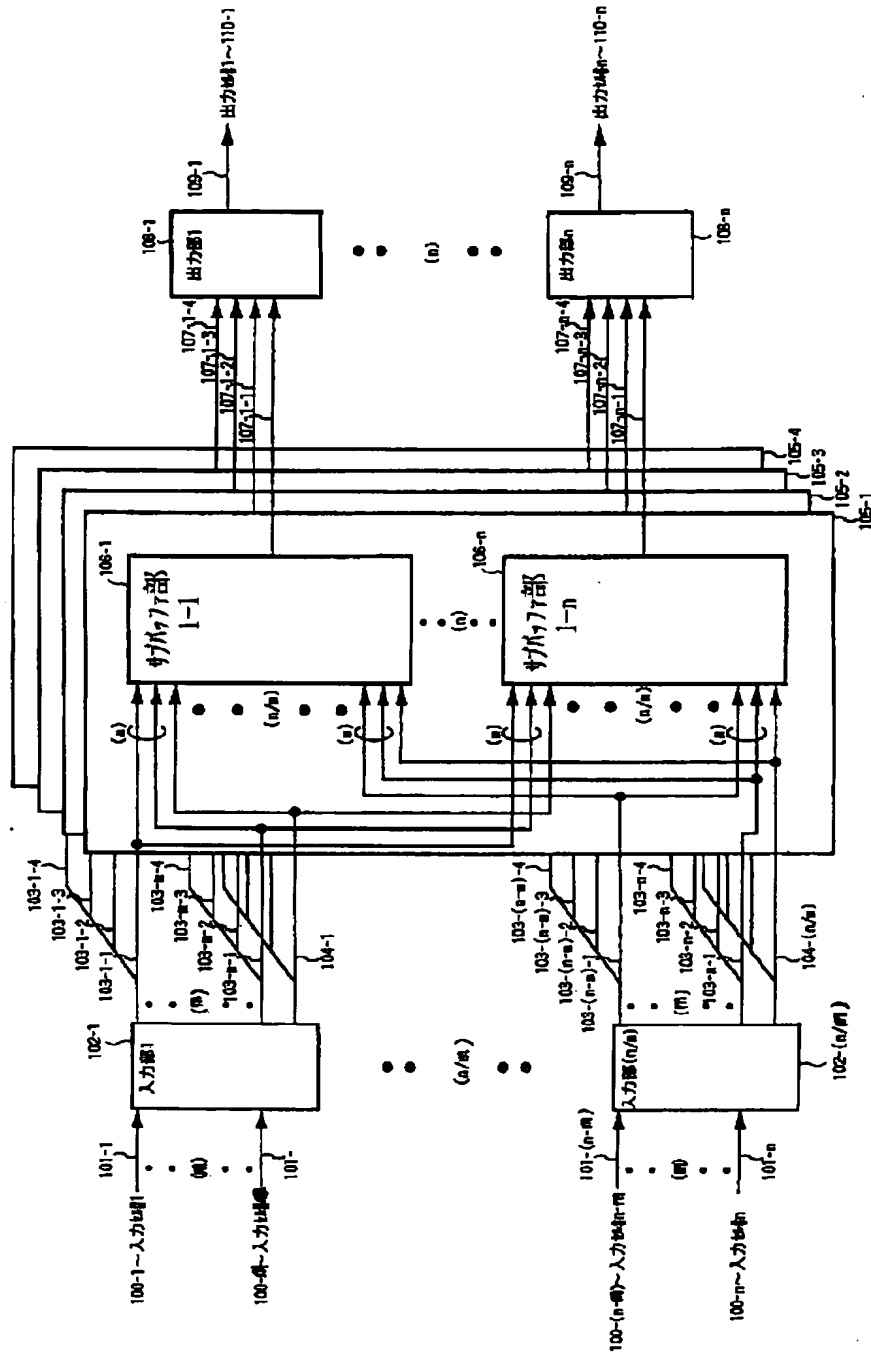
【図12】出力部の動作説明に供する図である。

【図13】第2の実施形態に係るA T Mスイッチ装置のうちバッファ部の構成例を示すブロック図である。

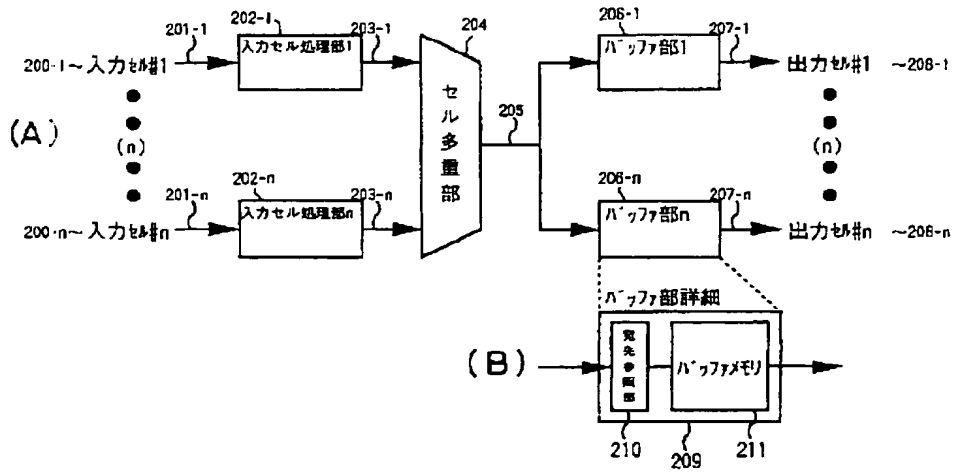
【符号の説明】

102…入力部、105…バッファ部、108…出力部、503、703、1003…位相整合部、505、705…タイミング／フレーム生成部、508…宛先抽出部、509…バラレル展開回路、511…宛先多重部、710…アドレスフィルタ部、720…8ライトポート1リードポート型F I F Oメモリ、721…読出制御部、916…F I F Oメモリ、921…セクタ、1005…フレーム生成部。

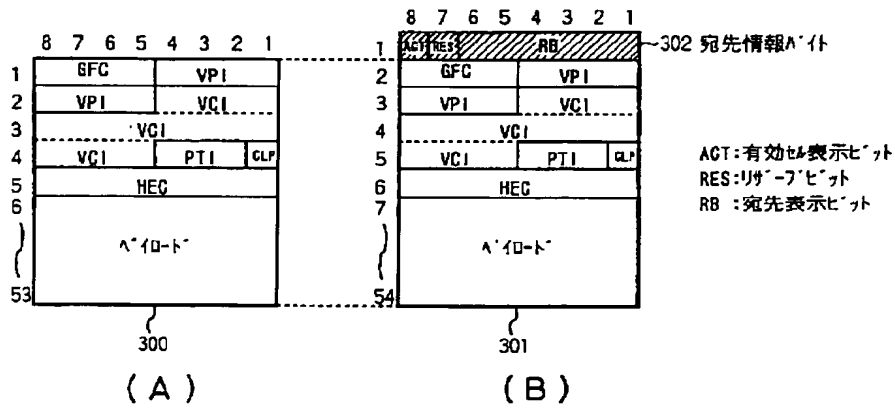
【図1】



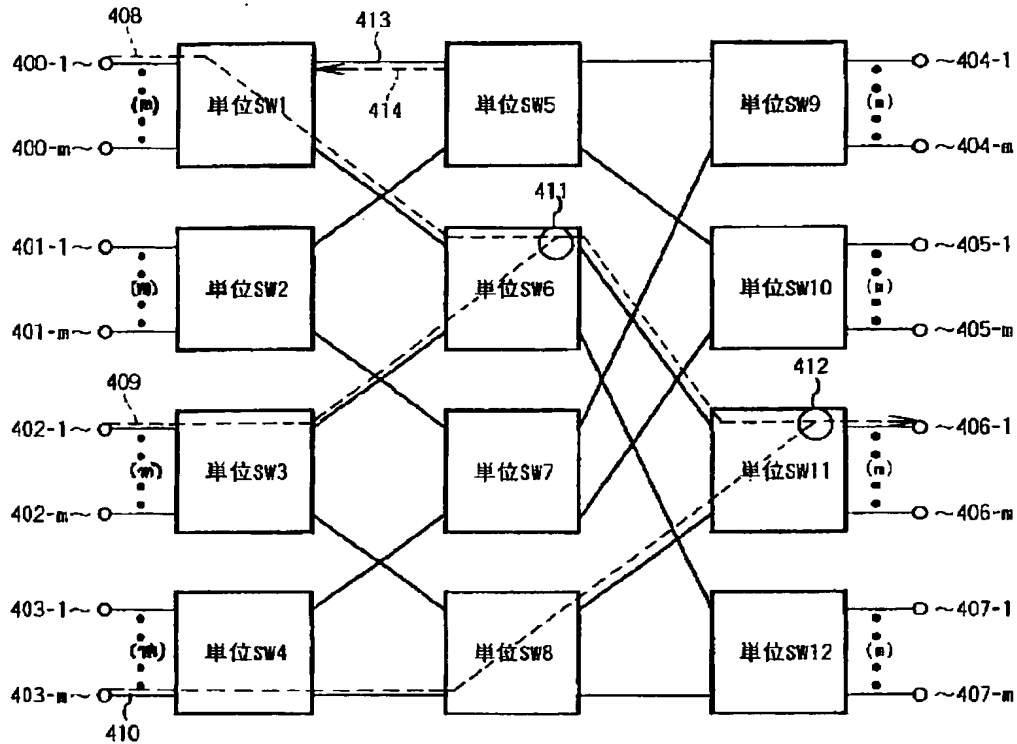
【図2】



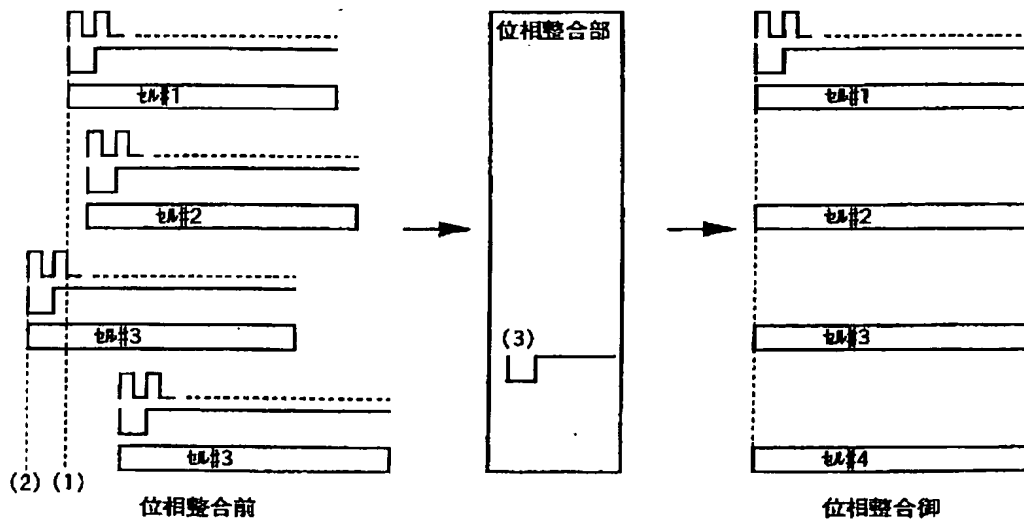
【図3】



【図4】



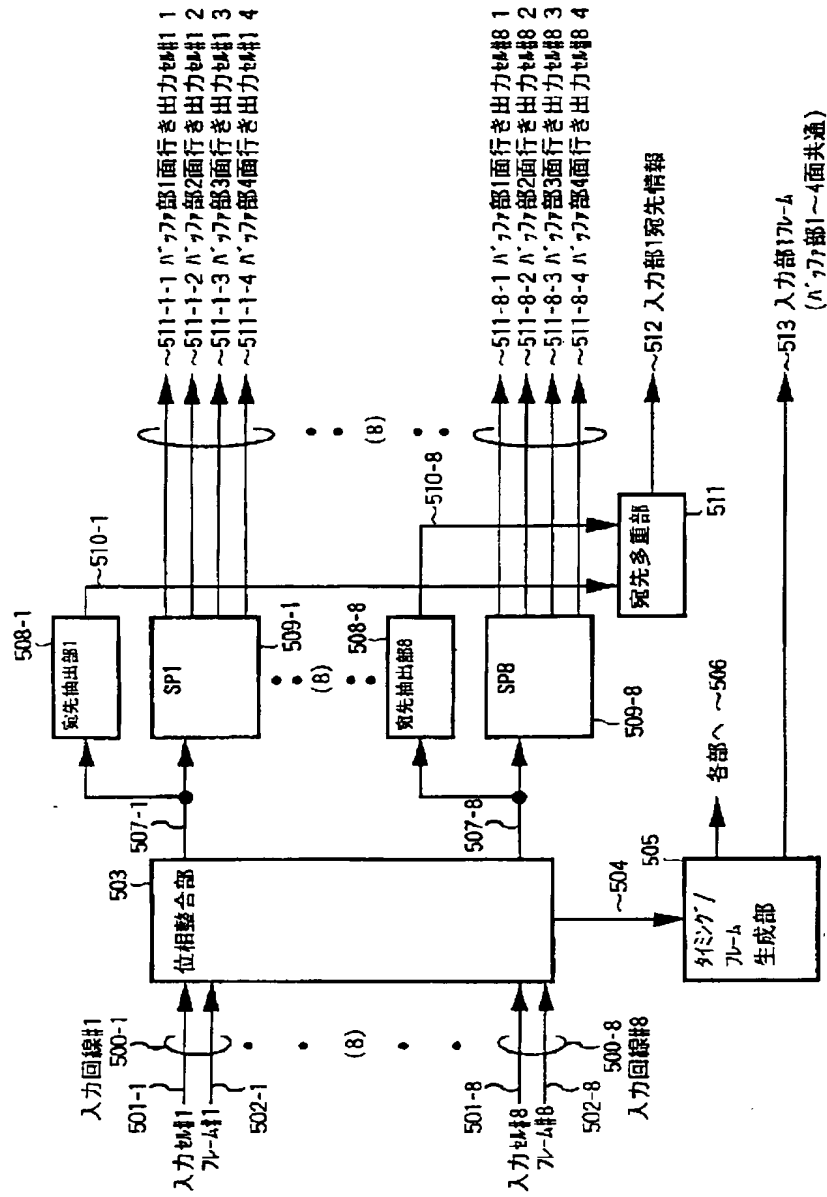
【図10】



以下の方法で位相を整合する。

- (1) 特定の回線を基準にする。(回線は回線の若番)
- (2) 一番最初に入力される回線を基準にする。
- (3) 繰返ブロック内部で生成する基準にする。

【図5】



(注意)図中のヒダデータの意味について

U:上位4n°位

L: 下位4分位

材料: 1-1

— 47171445:1284

Ex 11 17-111

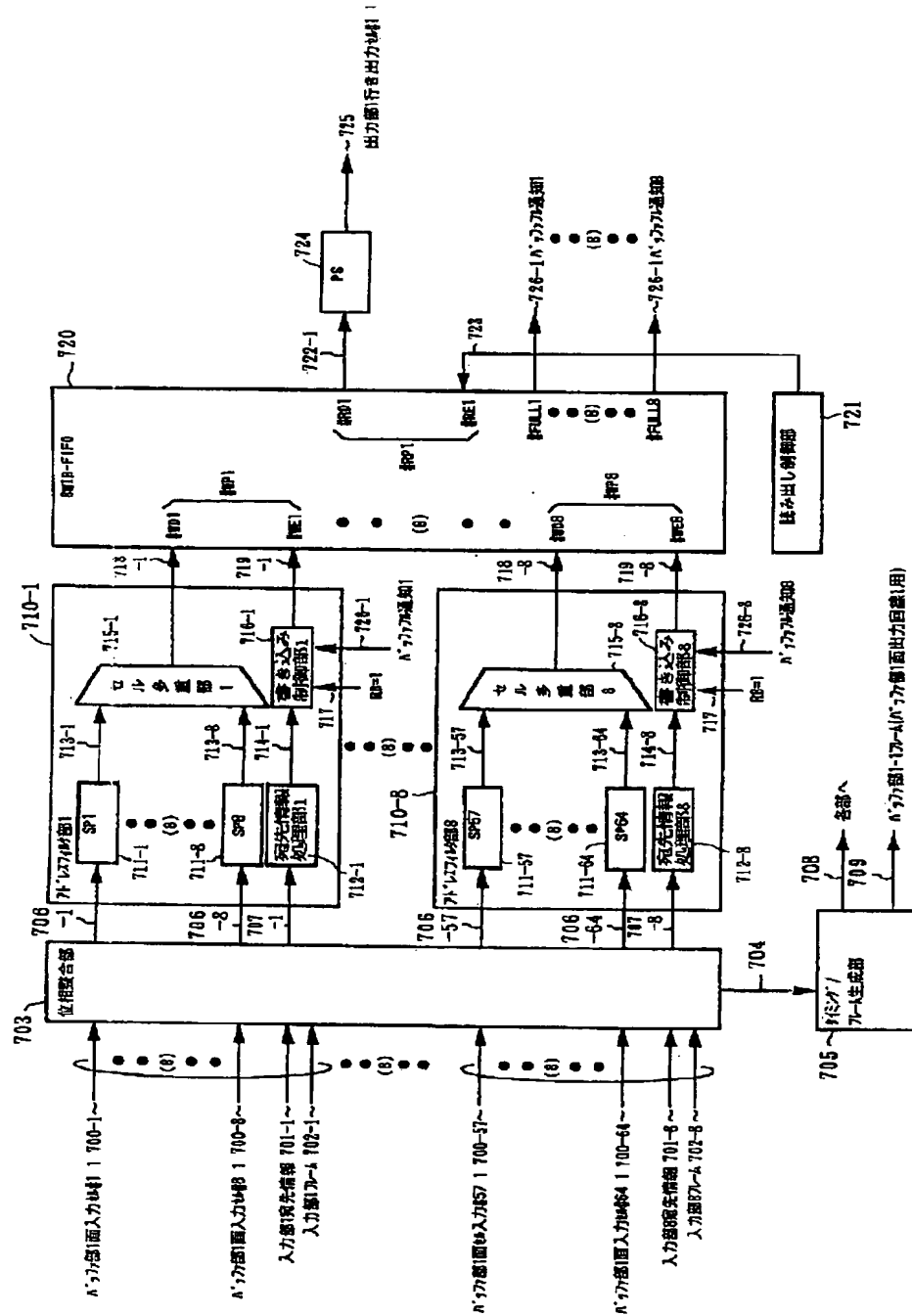
01/13/2007

11. 04 1024

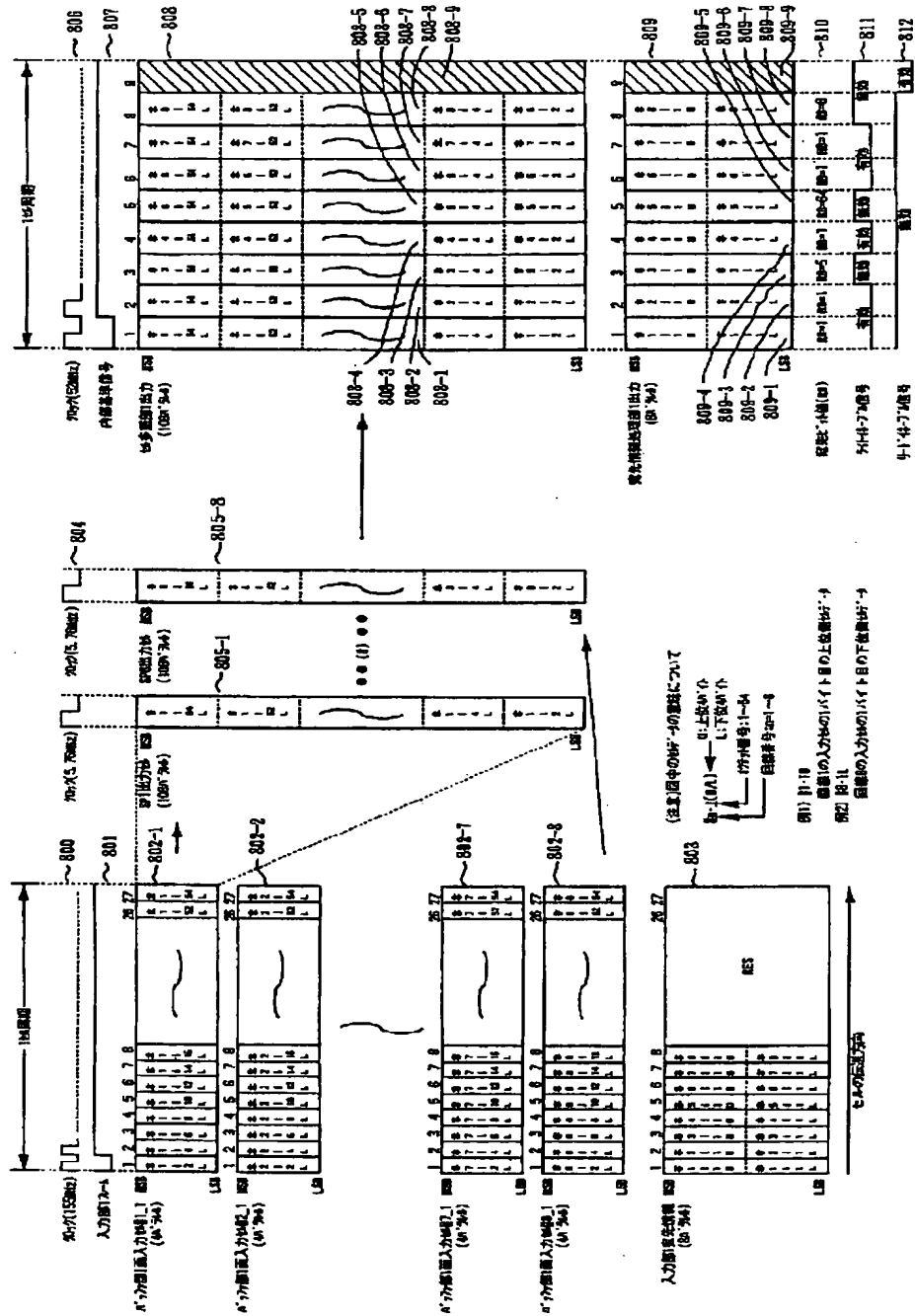
71-88 1264

08541

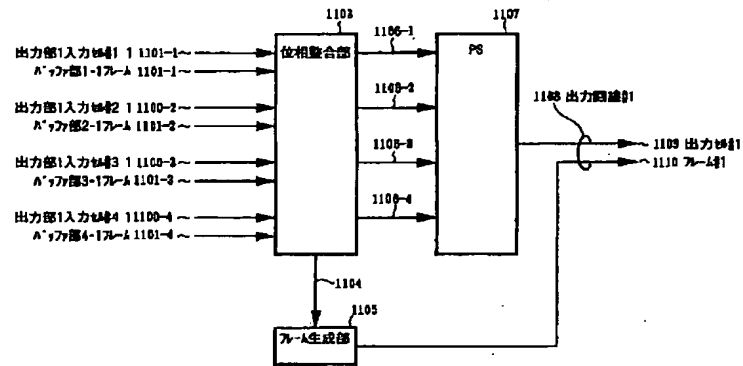
【図7】



【図8】



【図11】



[illegible]

【図13】

